

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05334189 A**(43) Date of publication of application: **17 . 12 . 93**

(51) Int. Cl.

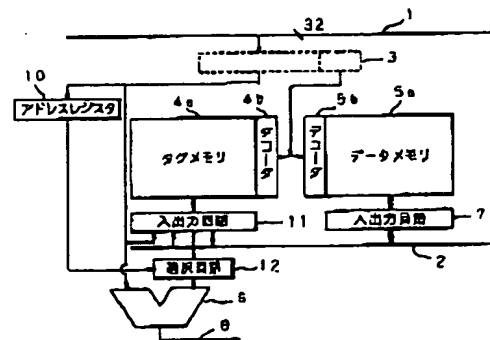
G06F 12/08
G06F 12/08
(21) Application number: **04138220**(22) Date of filing: **29 . 05 . 92**(71) Applicant: **MITSUBISHI ELECTRIC CORP**
 (72) Inventor: **OKAZAKI HIROMI**
NAKANO NAOYOSHI
(54) **DATA STORAGE DEVICE**

COPYRIGHT: (C)1993,JPO&Japio

(57) Abstract:

PURPOSE: To provide the data storage device provided on a data processor capable of being used either as a cache memory or as a normal random access memory.

CONSTITUTION: The data storage device is provided with a tag memory 4a as a normal cache memory, data memory 5a, decoder 4b for the tag memory 4a, decoder 5b for the data memory 5a, I/O circuits 11 and 7 transmitting data to and receiving data from outside, address register 10 holding the high-order part of an address bus 1, selection circuit 12 selecting and outputting either of the output from the tag memory 4a or the output from the address register 10, comparator 6 outputting an output enable signal 8 making data outputted from the tag memory 4a or from the data memory 5a to a data bus 2 valid when the high-order part of the address and the output of the selection circuit 12 are compared and coincide with each other, and control circuit operating the entire system as a cache memory or as the normal random access memory by controlling each of them.



【特許請求の範囲】

【請求項1】 アドレスバスと、

データバスと、

RAVで構成され、複数のエントリを有する第1の記憶手段と、

前記アドレスバスから入力されるアドレスの第1の部分
をデコードして前記第1の記憶手段のエントリを指定す
る第1のデコード手段と、

前記第1の記憶手段と前記データバスとを接続する第1
の入出力回路と、

RAVで構成され、複数のエントリを有する第2の記憶手
段と、

前記アドレスバスから入力されるアドレスの第1の部分
をデコードして前記第2の記憶手段のエントリを指定す
る第2のデコード手段と、

前記第2の記憶手段と前記データバスとを接続する第2
の入出力回路と、

前記アドレスバス上のアドレスの第2の部分保持する
レジスタ手段と、

前記第1の入出力手段の出力または前記レジスタ手段の
出力のいずれかを選択出力する選択手段と、

前記アドレスの第2の部分と前記選択手段の出力とを比
較し、一致した場合に前記第2の記憶手段から前記デー
タバスへ出力されているデータを有効とする信号を出力
する比較手段と、

第1の制御信号が第1の値である場合と第2の値である
場合とに応じて第1の制御と第2の制御とをそれぞれ実
行する制御手段とを備え前記制御手段により前記第1の
制御が実行された場合に、

前記第1の入出力手段は、前記第1の記憶手段に前記ア
ドレスバス上のアドレスの第2の部分を入力し、また前
記第1の記憶手段の内容を前記選択手段に出力し、

前記選択手段は、前記入出力手段の出力を選択して前記
比較手段に与え、

前記比較手段は、前記選択手段から入力される前記第1
の記憶手段の内容と前記アドレスバスから入力されるア
ドレスの第2の部分とを比較することにより、

前記第1の記憶手段の前記第1のデコード手段により指
定されたエントリに前記アドレスバスから入力されたア
ドレスの第2の部分を書き込みまたは指定されたエント
リの内容を前記選択手段へ出力し、前記第2の記憶手段
の前記第2のデコード手段により指定されたエントリに
前記データバスから入力されたデータを書き込みまたは
指定されたエントリのデータを前記データバスへ出力し
てキャッシュメモリとして動作し、

前記制御手段により前記第2の制御が実行された場合
に、

前記第1の入出力手段は、前記第1の記憶手段の内容を
前記データバスに出力し、また前記データバス上のデー
タを前記第1の記憶手段に入力し、

前記選択手段は、前記レジスタ手段の出力を選択して前
記比較手段に与え、

前記比較手段は、前記選択手段から入力される前記レジ
スタ手段の内容と前記アドレスバスから入力されるアド
レスの第2の部分とを比較することにより、

前記第1の記憶手段の前記第1のデコード手段により指
定されたエントリと前記第2の記憶手段の前記第2のデ
コード手段により指定されたエントリとのいずれかに前
記データバスから入力されたデータを書き込みまたは指
定されたいずれかのエントリのデータを前記データバス
へ出力してランダムアクセスメモリとして動作すべく
なしてあることを特徴とするデータ記憶装置。

【請求項2】 制御手段は、第2の制御の実行に際し
て、アドレスの所定のビットの値に応じて、第1の入出
力手段または第2の入出力手段のいずれか一方の動作を
禁じるべくなしてあることを特徴とする請求項1に記載
のデータ記憶装置

【請求項3】 制御手段は、第2の制御の実行に際し
て、第2の制御信号が特定の状態である場合に、前記ア
ドレスバス上のアドレスの第2の部分の前記レジスタ手
段に格納すべくなしてあることを特徴とする請求項1に
記載のデータ記憶装置

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデータ記憶装置に関し、
更に詳述すれば、キャッシュメモリと称される高速デー
タ記憶装置を通常のランダムアクセスメモリとしても使
用可能なデータ記憶装置に関する

【0002】

【従来の技術】 一部のデータ処理装置には、キャッシ
ュメモリと称される高速データ記憶装置を内蔵して処理能
力の向上を図っているものがある。データ処理装置は、
通常は主記憶装置に格納されているプログラム及びデー
タを逐次読み出してデータを処理し、処理後のデータを
再度主記憶装置に格納する。しかし、プログラムの内の
使用頻度の高い命令あるいは使用頻度が高いデータをキ
ャッシュメモリにコピーしておき、これらの命令あるい
はデータを比較的低速な主記憶装置からではなくキャッ
シュメモリから読み出した書き込むようにすれば、装
置全体としての処理速度の向上が期待される。

【0003】 以下、従来のキャッシュメモリの一例とし
て、ランダムアクセスメモリ(RAM)で構成されたタグメ
モリ部、同じくRAMで構成されたデータメモリ部、タグ
比較用コンパレータ及びキャッシュ制御回路を備えたグ
イレクトマップ方式のキャッシュシステムについて図5
乃至図8を参照して説明する。

【0004】 図5は従来のキャッシュメモリの構成の一
例を示すブロック図である。図5において、参照番号1
は11ビット幅のアドレスバスである。このアドレスバス
1には参照番号3にて模式的に示されているようなアド

3

レスが出力されている。

【0005】図6はアドレス3の内容を示す模式図である。アドレス3は上位3ビットがタグ部31、下位8ビットがエントリ部32に分割されている。このアドレス3のタグ部31は後述するタグメモリ34及びコンパレータ6に、エントリ部32は後述する両デコーダ35、36にそれぞれ与えられる。

【0006】参照番号37はRAMで構成され、複数のエントリを有する32ビット幅のタグメモリであり、デコーダ35が偏えられている。デコーダ35はアドレス3のエントリ部32をデコードしてタグメモリ37のエントリを指定する。このデコーダ35により指定されたタグメモリ37のエントリの内容は入出力回路38を介して後述するコンパレータ6へ出力され、また逆にアドレスバス1から入力されたアドレス3のタグ部31が入出力回路38から入力されてデコーダ35により指定されたタグメモリ37のエントリに格納される。

【0007】参照番号39はRAMで構成され、複数のエントリを有する32ビット幅のデータメモリであり、デコーダ36が偏えられている。デコーダ36はアドレス3のエントリ部32をデコードしてデータメモリ39のエントリを指定する。このデコーダ36により指定されたデータメモリ39のエントリの内容は入出力回路7を介してデータバス2へ出力され、また逆に入出力回路7を介してデータバス2から入力されたデータがデコーダ36により指定されたデータメモリ39のエントリに格納される。

【0008】参照番号6はコンパレータであり、アドレス3のタグ部31とデコーダ35により指定されたタグメモリ37のエントリの内容とを比較する。このコンパレータ6の比較動作の結果、一致が検出された場合には出力イネーブル信号8をこのキャッシュシステムが内蔵されているデータ処理装置の制御部へ出力する。

【0009】図7は上述のキャッシュシステムを制御するための制御回路への入出力信号を示す模式図である。図7において、参照番号31はキャッシュイネーブル信号を、32は検索信号を、33は登録信号をそれぞれ示している。これらの各信号31、32及び33はキャッシュイネーブル信号31が“H”である場合にのみ制御回路20に入力される。

【0010】また、参照番号31はタグメモリリード信号を、32はデータメモリリード信号を、33は比較信号を、34はタグメモリライト信号を、35はデータメモリライト信号をそれぞれ示している。なお、タグメモリリード信号31及びタグメモリライト信号34はタグメモリ37に、データメモリリード信号32及びデータメモリライト信号35はデータメモリ39に、比較信号33はコンパレータ6にそれぞれ与えられてそれらを制御する。

【0011】図8は上述の制御回路20へ入力されるキャッシュイネーブル信号31、検索信号32、及び登録信号

4

33のレベルの状態の組合せと、それぞれに対応するキャッシュシステムの動作状態との関係を示す表である。

【0012】以上のような構成の従来のキャッシュメモリの動作について、以下に説明する。まず、図8の①の状態である検索動作について説明する。この検索動作は、図8の①に示されているように、制御回路20に入力されるキャッシュイネーブル信号31が“H”、検索信号32が“H”、登録信号33が“L”である場合には、タグメモリリード信号34、データメモリリード信号35及び比較信号33が制御回路20からキャッシュメモリへ出力されることにより実行される。

【0013】タグメモリ37はタグメモリリード信号34が与えられることにより、アドレスバス1上のアドレス3のエントリ部32をデコーダ35でデコードし、そのデコード結果により指定されるエントリの内容をコンパレータ6へ出力する。また、データメモリ39とその入出力回路7はデータメモリリード信号35が与えられることにより、アドレスバス1上のアドレス3のエントリ部32をデコーダ36でデコードし、そのデコード結果により指定されるエントリのデータを入出力回路7を介してデータバス2へ出力する。

【0014】一方、コンパレータ6は比較信号33が与えられることにより、タグメモリ37から出力されたエントリの内容と、アドレスバス1からコンパレータ6に直接入力されたアドレス3のタグ部31の値とを比較し、一致した場合には出力イネーブル信号8を出力する。これにより、上述の如くデータメモリ37からデータバス2へ出力されているデータが有効となる。コンパレータ6による比較の結果が一致しなかった場合は、コンパレータ6は出力イネーブル信号8を出力しないので、データメモリ37からデータバス2へ出力されているデータは無効になる。

【0015】次に、図8の②の状態である登録動作について説明する。この登録動作は、図8の②に示されているように、制御回路20に入力されるキャッシュイネーブル信号31が“H”、検索信号32が“L”、登録信号33が“H”である場合に、タグメモリライト信号34とデータメモリライト信号35が制御回路20からキャッシュメモリへ出力されることにより実行される。

【0016】タグメモリ37はタグメモリライト信号34が入力されることにより、アドレスバス1上のアドレス3のエントリ部32をデコーダ35でデコードし、そのデコード結果により指定されるエントリにアドレス3のタグ部31の値を書き込む。また、データメモリ39とその入出力回路7は、データメモリライト信号35が与えられることにより、アドレスバス1上のアドレス3のエントリ部32をデータメモリ39のデコーダ36でデコードし、そのデコード結果により指定されるエントリに入出力回路7を介してデータバス2上のデータを書き込む。

【0017】なお、制御回路20に入力されるキャッシュ

5

イネーブル信号 11_1 が“1”であっても、検索信号 11_2 及び登録信号 11_3 が共に“1”である場合には図8の(a)に示されているように、キャッシュメモリは停止している。また、検索信号 11_2 と登録信号 11_3 とを同時に“1”にすることは禁じられている。更に、キャッシュイネーブル信号 11_1 が“1”である場合には図8の(b)に示されているように、キャッシュメモリは動作しない。

【0018】

【発明が解決しようとする課題】従来のキャッシュメモリは以上のように構成され動作するので、実行すべきメモリあるいはデータがキャッシュメモリ内に存在する場合にはそれらを主記憶装置から読み出すよりは高速処理が可能になるが、キャッシュメモリをキャッシュメモリとして使用しない場合にはキャッシュメモリの動作は停止し、タグメモリ及びデータメモリが有効に活用されないという問題がある。

【0019】本発明は以上のような事情に鑑みてなされたものであり、データ処理装置に備えられていてキャッシュメモリまたは通常のランダムアクセスメモリのいずれとしても使用可能なように構成されたデータ記憶装置の提供を目的とする。

【0020】

【課題を解決するための手段】本発明のデータ記憶装置は、通常のキャッシュメモリとして備えられている第1の記憶手段としてのタグメモリと、第2の記憶手段としてのデータメモリと、それらのデコード手段としてのデコード及び外部との入出力手段等の他に、アドレスバス上のアドレスの上位の部分保持するレジスタ手段と、タグメモリからの出力またはレジスタ手段の出力のいずれかを選択出力する選択手段と、アドレスの上位の部分と選択手段の出力とを比較し、一致した場合にタグメモリまたはデータメモリからデータバスへ出力されているデータを有効とする信号を出力する比較手段と、これらをそれぞれ制御することにより全体をキャッシュメモリとしてまたは通常のランダムアクセスメモリとして動作させる制御手段としての制御回路とを備えている。

【0021】

【作用】本発明のデータ記憶装置では、キャッシュメモリとして動作する場合は、タグメモリにアドレスバス上のアドレスの上位の部分が入力され、またタグメモリの内容が選択手段に出力され、選択手段では入出力手段の出力が選択されて比較手段に与えられ、比較手段では選択手段から入力される第1の記憶手段の内容とアドレスバスから入力されるアドレスの第2の部分とが比較されることにより、タグメモリのデコードにより指定されたエントリにアドレスバスから入力されたアドレスの上位の部分を書き込まれまたは指定されたエントリの内容が選択手段へ出力され、データメモリのデコードにより指定されたエントリにデータバスから入力されたデータ

6

が書き込まれまたは指定されたエントリのデータがデータバスへ出力されてキャッシュメモリとして動作し、通常のランダムアクセスメモリとして動作する場合は、タグメモリの内容がデータバスに出力され、またデータバス上のデータがタグメモリに入力され、選択手段ではレジスタ手段の出力が選択されて比較手段に与えられ、比較手段では選択手段から入力されるレジスタ手段の内容とアドレスバスから入力されるアドレスの上位の部分とが比較されることにより、タグメモリのデコードにより指定されたエントリとデータメモリデコードにより指定されたエントリとのいずれかにデータバスから入力されたデータが書き込まれまたは指定されたいずれかのエントリのデータがデータバスへ出力されてランダムアクセスメモリとして動作する。

【0022】

【実施例】以下、本発明をその実施例を示す図面に基づいて詳述する。

【0023】本発明の一実施例として、キャッシュメモリ制御回路、アドレスの上位33ビットを保持するアドレスレジスタ、コンパレータ、コンパレータへの入力を選択する選択回路、ランダムアクセスメモリ(RAM)で構成された33ビット幅のタグメモリ部、同じくRAMで構成された33ビット幅のデータメモリ部、それらのデコード及び入出力回路を備え、ダイレクトマップ方式のキャッシュシステムとして、また通常のRAMとしても使用可能なデータ記憶装置について図1乃至図4を参照して説明する。

【0024】図1は本発明のデータ記憶装置の一実施例の構成を示すブロック図である。図1において、参照符号1は33ビット幅のアドレスバスである。このアドレスバス1には参照符号3にて模式的に示されているようなアドレスが出力されている。

【0025】図2はアドレス3の内容を示す模式図である。アドレス3は上位33ビットがタグ部31、下位8ビットがエントリ部32に分割されている。そして、タグ部31の内の最下位のビット33がタグメモリ/データメモリの選択ビット34として、またタグ部31の選択ビット34以外の部分が本発明のデータ記憶装置の選択用アドレス、アドレスタグ部35として使用される。このアドレス3のタグ部31は後述するアドレスレジスタ10及びコンパレータ6に、エントリ部32は両デコード41、42にそれぞれ与えられる。

【0026】参照符号41はRAMで構成され、複数のエントリを有する33ビット幅のタグメモリであり、デコード33が備えられている。デコード33はアドレス3のエントリ部32をデコードしてタグメモリ41のエントリを指定する。このデコード33により指定されたタグメモリ41のエントリの内容は入出力回路35を介して33ビットのデータバス2または後述する選択回路36へ出力され、また逆にアドレスバス1から入力されたアドレス3のタグ部31が

入出力回路11から入力されてデコーグ14により指定されたタグメモリ41のエントリに格納される。

【0027】参照符号51はRAMで構成され、複数のエントリを有する32ビット幅のデータメモリであり、デコーグ14が備えられている。デコーグ14はアドレス3のエントリ部31をデコードしてデータメモリ51のエントリを指定する。このデコーグ51により指定されたデータメモリ51のエントリの内容は入出力回路7を介してデータバス2へ出力され、また逆に入出力回路7を介してデータバス2から入力されたデータがデコーグ14により指定されたデータメモリ51のエントリに格納される。

【0028】参照符号6はコンパレータであり、アドレスバス1から直接与えられているアドレス3のタグ部31と後述する選択回路12の出力とを比較する。なお、選択回路12の出力は入出力回路11を介して出力されるタグメモリ41のエントリの内容またはアドレスレジスタ10の内容である。このコンパレータ6の比較動作の結果、一致が検出された場合には出力イネーブル信号8をこのキャッシュシステムが内蔵されているデータ処理装置の制御部へ出力する。

【0029】アドレスレジスタ10は、タグメモリ41とデータメモリ51とを通常のメモリとして使用する場合にフルアドレスのアドレス上位23ビットを指定するために備えられている。選択回路12は、アドレスレジスタ10の内容またはタグメモリ41から入出力回路11を介して出力される値のいずれかを選択してコンパレータ6に入力する。

【0030】図3は上述の本発明のデータ記憶装置を制御するための制御回路への入出力信号を示す模式図である。図3において、参照符号11はキャッシュイネーブル信号を、21は検索信号を、31は登録信号をそれぞれ示している。

【0031】また、参照符号22はタグメモリリード信号を、23はデータメモリリード信号を、24は比較信号を、25はタグメモリライト信号を、26はデータメモリライト信号を、27は選択回路制御信号をそれぞれ示している。なお、タグメモリリード信号22：及びタグメモリライト信号25：はタグメモリ41に、データメモリリード信号23：及びデータメモリライト信号26：はデータメモリ51に、比較信号24：はコンパレータ6に、選択回路制御信号27：は選択回路12にそれぞれ与えられる。

【0032】図4は上述の制御回路20へ入力されるキャッシュイネーブル信号21、検索信号22、及び登録信号23のレベルの状態の組合せと、それぞれに対応するキャッシュシステムの動作状態との関係を示す表である。なお、キャッシュイネーブル信号21が“H”である図8の(a)、(b)、(c)、(d)の場合は本発明のデータ記憶装置は前述の従来例のキャッシュシステムと同様にキャッシュメモリとして動作する。

【0033】以上のような構成の本発明のデータ記憶装

置の動作について、以下に説明する。

【0034】まず、図4の(a)の状態である本発明のデータ記憶装置がキャッシュメモリとして使用される場合の検索動作について説明する。この検索動作は、図4の(a)に示されているように、制御回路20へ入力されるキャッシュイネーブル信号21が“H”、検索信号22が“H”、登録信号23が“L”である場合に、タグメモリリード信号22、データメモリリード信号23、及び比較信号24が制御回路20からキャッシュメモリへ出力されることにより実行される。

【0035】タグメモリ41とその入出力回路11とはタグメモリリード信号22が与えられることにより、アドレスバス1上のアドレス3のエントリ部31をデコーグ14でデコードし、そのデコード結果により指定されるエントリの内容を選択回路12へ出力する。また、データメモリ51とその入出力回路7とはデータメモリリード信号23が与えられることにより、アドレスバス1上のアドレス3のエントリ部31をデコーグ14でデコードし、そのデコード結果により指定されるエントリのデータを入出力回路7を介してデータバス2へ出力する。

【0036】選択回路12は選択回路制御信号27が与えられることにより、入出力回路11側、即ちタグメモリ41側の入力を選択してコンパレータ6へ出力する。コンパレータ6は比較信号24が与えられることにより、選択回路12から出力されたタグメモリ41のエントリの値と、アドレスバス1から直接入力されたアドレス3のアドレスタグ部31の値とを比較し、一致した場合には出力イネーブル信号8を出力する。これにより、上述の如くデータメモリ51からデータバス2へ出力されているデータが有効となる。コンパレータ6による比較の結果が一致しなかった場合は、コンパレータ6は出力イネーブル信号8を出力しないので、データメモリ51からデータバス2へ出力されているデータは無効になる。

【0037】次に、図4の(b)の状態である本発明のデータ記憶装置がキャッシュメモリとして使用される場合の登録動作について説明する。この登録動作は、図4の(b)に示されているように、制御回路20へ入力されるキャッシュイネーブル信号21が“H”、検索信号22が“L”、登録信号23が“H”である場合に、タグメモリライト信号25とデータメモリライト信号26が制御回路20からキャッシュメモリへ出力されることにより実行される。

【0038】タグメモリ41とその入出力回路11とはタグメモリライト信号25が与えられることにより、アドレスバス1上のアドレス3のエントリ部31をデコーグ14でデコードし、そのデコード結果により指定されるエントリに入出力回路11から入力されるアドレス3のタグ部31の値が書き込まれる。また、データメモリ51とその入出力回路7とは、データメモリライト信号26が与えられることにより、アドレスバス1上のアドレス3のデータ部32の値が書き込まれる。

トリ部3をデータメモリ3のデコード部でデコードし、そのデコード結果により指定されるエントリに入出力回路7を介してデータバス2上のデータを書き込む。

【0039】なお、制御回路20に入力されるキャッシュイネーブル信号21が“H”であっても、検索信号22及び登録信号23が共に“L”である場合には図4の(a)にて示されているように、キャッシュメモリは停止している。また、図4の(b)にて示されているように、検索信号22と登録信号23とを同時に“H”にすることは禁じられている。

【0040】キャッシュイネーブル信号21が“L”である場合には本発明のデータ記憶装置のクグメモリ3及びデータメモリ3は通常のRAMとして使用可能になる。

【0041】キャッシュイネーブル信号21を“L”、検索信号22及び登録信号23を共に“H”とした図4の(c)の場合、アドレスバス1上のアドレス3のアドレスタグ部3がアドレスレジスタ10に書き込まれる。これは、クグメモリ3とデータメモリ3とを通常のメモリとして使用する際のフルアドレスを設定するために用いられる。

【0042】制御回路20に入力されるキャッシュイネーブル信号21が“L”、検索信号22が“H”、登録信号23が“L”である図4の(d)の場合、クグメモリ3またはデータメモリ3を通常のランダムアクセスメモリと同様にしてデータを読み出すことが可能になる。

【0043】この場合、選択回路2は選択回路制御信号24が与えられることにより、アドレスレジスタ10側の入力を選択する。これにより、コンパレータ6はアドレスレジスタ10の内容とアドレスバス1から直接与えられているアドレス3のアドレスタグ部3の値とを比較する。この比較の結果は通常は一致するので、出力イネーブル信号8がクグメモリ3の入出力回路7とデータメモリ3の入出力回路7及びデータ処理装置の制御部へ出力され、クグメモリ3またはデータメモリ3内のデータをデータバス2へ読み出すことが可能になる。

【0044】この際のデータが読み出されるメモリとしては、アドレスタグ部3の選択ビット3の内容が“0”であればデータメモリ3が、“1”であればクグメモリ3がそれぞれ指定される。これは制御回路20により入出力回路7または入出力回路7のいずれか一方のみに動作を許可し、他方の動作を禁ずることにより実現される。

【0045】そして、データメモリ3が指定された場合は、アドレス3のエントリ部3をデータメモリ3のデコード部でデコードすることによりデータメモリ3のエントリが指定される。この場合に、出力イネーブル信号8がデータメモリ3の入出力回路7に与えられていれば、データメモリ3の当該エントリの内容が入出力回路7を介してデータバス2へ読み出される。

【0046】一方、クグメモリ3が選択された場合は、アドレス3のエントリ部3をクグメモリ3のデコード部

がデコードすることによりクグメモリ3のエントリが指定される。この場合に、出力イネーブル信号8がクグメモリ3の入出力回路7に与えられていれば、クグメモリ3の当該エントリの内容が入出力回路7を介してデータバス2へ読み出される。

【0047】制御回路20に入力されるキャッシュイネーブル信号21が“L”、検索信号22が“L”、登録信号23が“H”である図4の(e)の場合は、クグメモリ3またはデータメモリ3を通常のメモリ同様にしてデータを書き込むことが可能になる。

【0048】この場合、選択回路2は選択回路制御信号24が与えられることにより、アドレスレジスタ10側の入力を選択する。これにより、コンパレータ6はアドレスレジスタ10の内容とアドレスバス1から直接与えられているアドレス3のアドレスタグ部3の値とを比較する。この比較の結果は通常は一致するので、出力イネーブル信号8がクグメモリ3の入出力回路7とデータメモリ3の入出力回路7及びデータ処理装置の制御部へ出力され、データバス2上のデータをクグメモリ3またはデータメモリ3に書き込むことが可能になる。

【0049】この際のデータが書き込まれるメモリとしては、アドレスタグ部3の選択ビット3の内容が“0”であればデータメモリ3が、“1”であればクグメモリ3がそれぞれ指定されることは前述のデータの読み出しの際と同様である。

【0050】そして、データメモリ3が指定された場合は、アドレス3のエントリ部3をデータメモリ3のデコード部でデコードすることによりデータメモリ3のエントリが指定される。この場合に、出力イネーブル信号8がデータメモリ3の入出力回路7に与えられていれば、指定されたエントリにデータバス2上のデータが入出力回路7を介して書き込まれる。

【0051】一方、クグメモリ3が選択された場合は、アドレス3のエントリ部3をクグメモリ3のデコード部でデコードすることによりクグメモリ3のエントリが指定される。この場合に、出力イネーブル信号8がクグメモリ3の入出力回路7に与えられていれば、指定されたエントリにデータバス2上のデータが入出力回路7を介して書き込まれる。

【0052】なお、キャッシュイネーブル信号21、検索信号22及び登録信号23の全てが“L”である図4の(f)の状態では、メモリとしてのアクセスは行われることなく、クグメモリ3及びデータメモリ3は停止状態となる。

【0053】なお、上記実施例のアドレスバス1、データバス2、クグメモリ3、データメモリ3等のビット数はあくまでも一例であり、他のビット数となる構成を採ることはなんら問題はない。

【0054】

【発明の効果】以上に詳述したように本発明によれば、

11

データ処理装置に備えられているキャッシュメモリがキャッシュメモリとしては使用されない場合には通常のランダムアクセスメモリとして使用可能になるので、ハードウェア量を有効に活用することが可能になる。

【図面の簡単な説明】

【図1】本発明のデータ記憶装置の一実施例の構成を示すブロック図である。

【図2】本発明のデータ記憶装置のアドレスの内容を示す模式図である。

【図3】本発明のデータ記憶装置を制御するための制御回路への入出力信号を示す模式図である。

【図4】制御回路へ入力されるキャッシュイネーブル信号、検索信号及び登録信号のレベルの状態の組合せと、それぞれに対応するキャッシュシステムの動作状態との関係を示す表である。

【図5】従来のキャッシュメモリの構成の一例を示すブロック図である。

【図6】従来のキャッシュメモリのアドレスの内容を示す模式図である。

【図7】キャッシュシステムを制御するための制御回路への入出力信号を示す模式図である。

【図8】制御回路へ入力されるキャッシュイネーブル信

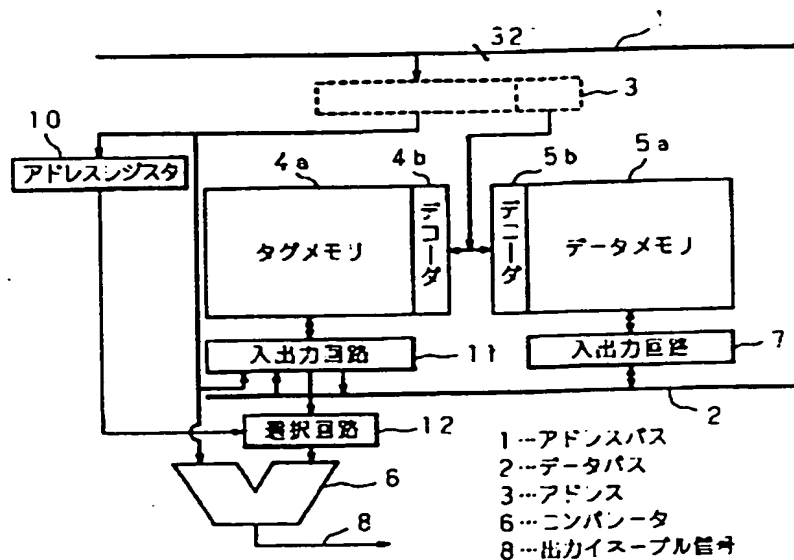
12

号、検索信号及び登録信号のレベルの状態の組合せと、それぞれに対応するキャッシュシステムの動作状態との関係を示す表である

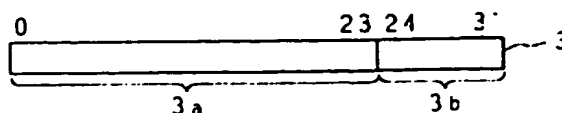
【符号の説明】

- 1 アドレスバス
- 2 データバス
- 3 アドレス
- 3a タグ部
- 3b エントリ部
- 3c 選択ビット
- 3d アドレスタグ部
- 4a タグメモリ
- 4b デコーダ
- 5a データメモリ
- 5b デコーダ
- 6 コンパレータ
- 7 入出力回路
- 8 出力イネーブル信号
- 10 アドレスレジスタ
- 11 入出力回路
- 12 選択回路

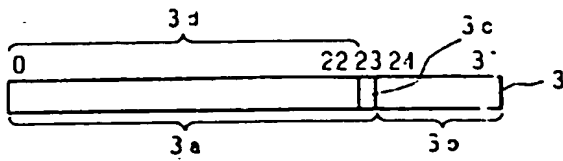
【図1】



【図6】

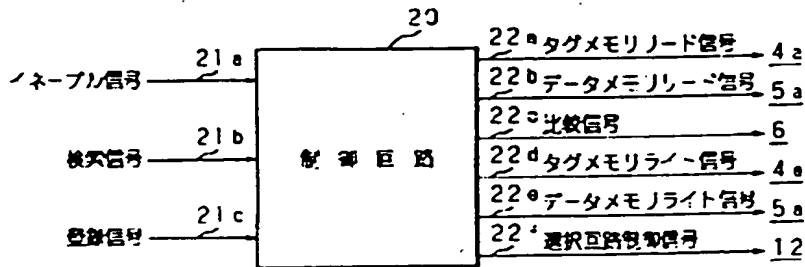


【図2】



3a---タグ部
3b---エントリ部
3c---選択ビット
3d---アドレスタグ部

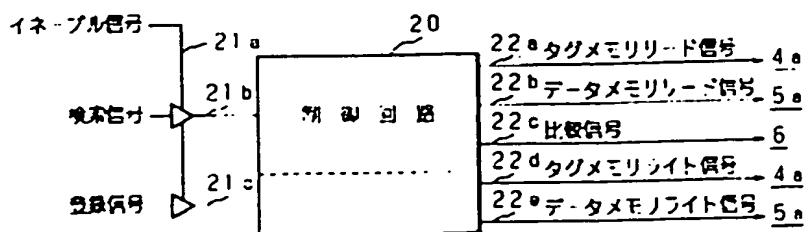
【図3】



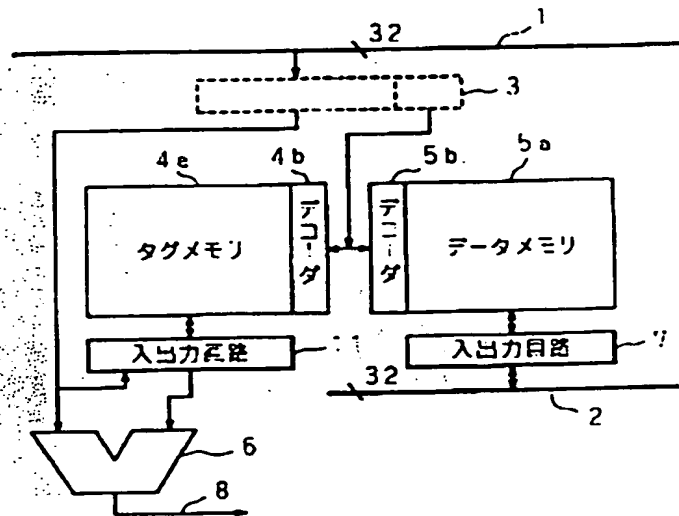
【図4】

	制御信号			動作
	イネーブル 信号 21a	検索信号 21b	登録信号 21c	
(1)	H	-	-	タグメモリリード、データメモリリードおよび比較
(2)	H	L	H	タグメモリライト、データメモリライト
(3)	H	L	L	禁止
(4)	H	H	H	禁止
(5)	L	H	L	メモリリード
(6)	L	-	H	メモリライト
(7)	L	L	L	禁止
(8)	-	H	H	アドレスタグをアドレスレジスタにラッチ

【図7】



【図5】



【図8】

	制 信 号			動 作
	ノネブル 信号 21 a	検索信号 21 b	登録信号 21 c	
(1)	H	H	L	タグメモリリード、データメモリリードおよび比較
(2)	H	L	H	タグメモリライト、データメモリライト
(3)	H	L	L	停止
(4)	H	H	H	禁止
(5)	L	---	---	動作しない

【手続補正書】

【提出日】平成4年11月10日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

【補正内容】

【0002】

【従来の技術】一部のデータ処理装置には、キャッシュメモリと称される高速データ記憶装置を内蔵して処理能力の向上を図っているものがある。データ処理装置は、通常は主記憶装置に格納されているプログラム及びデータを逐次読み出してデータを処理する。しかし、プログラムの内の使用頻度の高い命令あるいは使用頻度が高いデータをキャッシュメモリにコピーしておき、これらの命令あるいはデータを比較的低速な主記憶装置からではなくキャッシュメモリから読み出した書き込むようにすれば、装置全体としての処理速度の向上が期待される。

る。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】以下、従来のキャッシュメモリの一例として、ランダムアクセスメモリ（以下、RAMという）で構成されたタグメモリ部、同じくRAMで構成されたデータメモリ部、タグ比較用コンパレータ及びキャッシュ制御回路を備えたダイレクトマップ方式のキャッシュシステムについて図5乃至図8を参照して説明する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0036】選択回路13は選択回路制御信号22が与えられることにより、入出力回路12側、即ちタグメモリ14側の入力を選択してコンパレータ6へ出力する。コンパレータ6は比較信号23が与えられることにより、選択回路13から出力されたタグメモリ14のエントリの値と、アドレスバス1から直接入力されたアドレス3のアドレスタグ部2の値とを比較し、一致した場合には出力イネーブル信号8を入出力回路7へ出力する。これにより、データメモリ14から入出力回路7へ出力されているデータが有効になってデータバス2へ出力される。コンパレータ6による比較結果が一致しなかった場合は、コンパレータ6は出力イネーブル信号8を入出力回路7へは出力せず、データメモリ14から入出力回路7へ出力されているデータは無効になってデータバス2へは出力されない。